

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): CHOI, Woo H. et al

Application No.:

Group:

Filed: October 3, 2000

Examiner:

For: LIQUID CRYSTAL DISPLAY

#9
16 May 01
R. Tallent

L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

October 3, 2000
2658-0240P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	P99-42651	10/04/99

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

TERRY L. CLARK
Reg. No. 32,644
P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/amr

IN THE U.S. PATENT AND TRADEMARK OFFICE

I N F O R M A T I O N S H E E T

Applicant: CHOI, Woo H.
 KWAK, Dong Y.
 LIM, Byoung H.

Application No.:

Filed: October 3, 2000

For: LIQUID CRYSTAL DISPLAY

Priority Claimed:

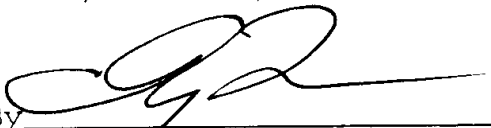
COUNTRY	DATE	NUMBER
Korea	10/04/99	P99.42651

Send Correspondence to: BIRCH, STEWART, KOLASCH & BIRCH, LLP
 P. O. Box 747
 Falls Church, Virginia 22040-0747
 (703) 205-8000

The above information is submitted to advise the USPTO of all relevant facts in connection with the present application. A timely executed Declaration in accordance with 37 CFR 1.64 will follow.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 

TERRY L. CLARK
Reg. No. 32,644
P. O. Box 747
Falls Church, VA 22040-0747

/amr

(703) 205-8000

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

1c931 U.S. PTO
09/677870
10/03/00

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

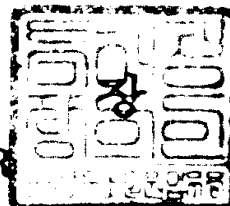
출원번호 : 특허출원 1999년 제 42651 호
Application Number

출원년월일 : 1999년 10월 04일
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)

2000 년 09 월 08 일

특 허 청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	1999. 10. 04
【발명의 명칭】	액정표시장치
【발명의 영문명칭】	Liquid Crystal Display
【출원인】	
【명칭】	엘지 . 필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	최우혁
【성명의 영문표기】	CHOI, Woo Hyuk
【주민등록번호】	710724-1675511
【우편번호】	730-350
【주소】	경상북도 구미시 임수동 401-3번지 엘지전자 기숙사 비동 703호
【국적】	KR
【발명자】	
【성명의 국문표기】	곽동영
【성명의 영문표기】	KWAK, Dong Yeung
【주민등록번호】	701201-1695819
【우편번호】	704-340
【주소】	대구광역시 달서구 송현동 그린맨션 103동 1108호
【국적】	KR
【발명자】	
【성명의 국문표기】	임병호
【성명의 영문표기】	LIM, Byoung Ho
【주민등록번호】	621125-1117215

【우편번호】 730-360
【주소】 경상북도 구미시 진평동 642-3
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김영호 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】	362,000	원		

【요약서】**【요약】**

본 발명은 스토리지 전극 및 블랙 매트릭스 역할을 수행함과 아울러 리페어 기능을 수행할 수 있는 게이트라인 구조를 가지는 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 데이터신호가 공급되는 데이터라인과; 게이트신호가 공급되는 게이트라인과; 액정셀을 구동하기 위한 화소전극과; 게이트신호에 응답하여 화소전극으로의 데이터신호 공급을 절환하기 위한 스위칭소자와; 게이트라인과 화소전극의 중첩부에 의해 마련되어진 제1 스토리지 캐패시터와; 게이트라인으로부터 수직방향으로 신장되어 화소전극과 제2 스토리지 캐패시터를 형성하기 위한 게이트 더미패턴을 구비하는 것을 특징으로 한다.

본 발명에 의하면, 게이트라인에서 분기되고 화소의 가장자리부와 중첩되는 게이트 더미 패턴이 스토리지 전극 및 블랙매트릭스의 역할을 함과 아울러 데이터 단선시 리페어가 가능하게 한다.

【대표도】

도 4

【명세서】

【발명의 명칭】

액정표시장치{Liquid Crystal Display}

【도면의 간단한 설명】

도 1은 종래 액정표시장치의 박막트랜지스터 기판을 나타낸 평면도.

도 2는 도 1에 도시된 스토리지 캐패시터부를 A-A을 따라 절단한 단면도.

도 3은 도 1에 도시된 데이터라인부를 B-B선을 따라 절단한 단면도.

도 4는 본 발명의 제1 실시예에 따른 박막트랜지스터 기판을 나타낸 평면도.

도 5는 도 4에 도시된 데이터라인부를 A-A선을 따라 절단한 단면도.

도 6은 본 발명의 제2 실시예에 따른 박막트랜지스터 기판을 나타낸 평면도.

도 7은 본 발명의 제3 실시예에 따른 박막트랜지스터 기판을 나타낸 평면도.

<도면의 주요부분에 대한 부호의 간단한 설명>

2 : 데이터라인

2a : 돌출부

4 : 게이트라인

6 : 박막 트랜지스터

8 : 소오스전극

10 : 게이트전극

12 : 드레인전극

14 : 화소전극

16, 22 : 콘택홀

18 : 스토리지 캐패시터

20 : 스토리지전극

24 : 하부기판

26 : 게이트절연층

28 : 보호막

30, 32 : 게이트 더미패턴

32a : 홈부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<17> 본 발명은 액정표시장치에 관한 것으로, 특히 스토리지 전극 및 블랙 매트릭스 역할을 수행함과 아울러 리페어 기능을 수행할 수 있는 게이트라인 구조를 가지는 액정표시장치에 관한 것이다.

<18> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 이 액정패널을 구동하기 위한 구동회로를 구비하게 된다. 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 기준전극, 즉 공통전극이 마련되게 된다. 화소전극은 하부기판 상에 액정셀별로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극들 각각은 스위치 소자로 사용되는 박막 트랜지스터(Thin Film Transistor; TFT)의 소오스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속되게 된다. 박막 트랜지스터들 각각의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게끔 하는 게이트라인들 중 어느 하나에 접속되게 된다.

<19> 도 1을 참조하면, 종래의 액정표시장치의 박막트랜지스터 기판에 대한 평면도가 도

시되어 있다. 도 1의 액정표시장치는 데이터라인(2)과 게이트라인(4)의 교차부에 위치하는 박막트랜지스터(6)와, 박막트랜지스터(6)의 드레인전극(12)에 접속된 화소전극(14)을 구비한다. 박막트랜지스터(6)는 데이터라인(2)과 게이트라인(4)의 교차부에 형성된다. 이 박막트랜지스터(6)는 게이트라인(4)에 접속된 게이트전극(10), 데이터라인(2)에 접속된 소오스전극(8) 및 제1 컨택홀(16)을 통해 화소전극(14)에 접속된 드레인전극(12)으로 이루어진다. 또한, 박막트랜지스터(6)는 게이트전극(10)에 공급되는 게이트전압에 의해 소오스전극(8)과 드레인전극(12)간에 도통채널을 형성하기 위한 반도체층(도시하지 않음)을 더 구비한다. 이러한 박막트랜지스터(6)는 게이트라인(4)으로부터의 게이트신호에 응답하여 데이터라인(2)으로부터의 데이터신호를 선택적으로 화소전극(14)에 공급한다. 화소전극(14)은 데이터라인(2)과 게이트라인(4)에 의해 분할된 셀영역에 위치하며 광투과율이 높은 ITO(Indium Tin Oxide) 물질로 이루어진다. 이 화소전극(14)은 제1 컨택홀(16)을 경유하여 공급되는 데이터신호에 의해 상부기판에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 박막트랜지스터기판과 상부기판 사이에 위치하는 액정이 유전이방성에 의해 회전하게 되며 광원으로부터 화소전극(14)을 경유하여 공급되는 광을 상부 유리기판 쪽으로 투과시키게 된다. 화소전극(14)과 이전단의 게이트라인(4) 사이에 형성되는 스토리지 캐패시터(18)는 이전단 게이트라인(4)에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 화소전극(14)에 데이터신호가 공급되는 기간에 충전된 전압을 방전하여 화소전극(14)의 전압변동을 방지하는 역할을 하게 된다. 이와 같이, 스토리지 캐패시터(18)는 화소전압을 안정적으로 유지시키기 위한 것이므로 그 용량값은 커야만 한다. 이를 위하여, 스토리지 캐패시터(18)는 도 2에 도시된 단면도와 같은 구조를 가지고 있다. 도 2에서 스토리지 캐패시터

(18)는 보호막(26)에 형성된 제2 컨택홀(22)을 통해 화소전극(14)과 전기적으로 접속되는 스토리지전극(20)과, 게이트절연층(24)을 사이에 둔 게이트전극(4)에 의해 마련되진다. 스토리지전극(20)은 데이터라인(2) 및 소스/드레인 전극(8, 12) 형성시 게이트절연층(24) 위에 형성하게 된다. 그런데, 액정패널이 대형화되어 갈수록 화소전압을 안정적으로 유지하기 위한 스토리지 캐패시터(18)의 용량값은 더 증대되어야 하지만 전술한 액정표시장치의 구조로는 스토리지 캐패시터(18)의 용량값을 증대시키는데 한계가 있다.

<20> 한편, 박막트랜지스터 기판의 보호막(26)으로는 통상 SiN_x , SiO_x 와 같이 유전율이 큰 무기막을 이용하고 있다. 이러한 무기보호막을 사이에 둔 화소전극(14)과 데이터라인(2)은 기생 캐패시터에 의한 커플링 효과를 최소화하기 위하여 도 3에 도시된 단면도와 같이 일정한 수평간격(d), 예컨대 $3\sim 5\mu\text{m}$ 의 수평간격을 유지해야만 한다. 이 경우, 데이터라인(2)과 화소전극(14)간의 간격을 통해 누설되는 빛을 차단하기 위하여 상부기판 상에 형성되는 블랙매트릭스는 통상 데이터라인(2)의 양측부에 위치하는 화소전극(14)의 일부분까지 커버할 수 있는 폭을 가지고 있다. 이 결과, 액정셀의 개구율이 줄어들 수 밖에 없었다.

【발명이 이루고자 하는 기술적 과제】

<21> 따라서, 본 발명의 목적은 스토리지 캐패시터의 용량값을 증대시킬 수 있는 액정표시장치를 제공하는 것이다.

<22> 본 발명의 다른 목적은 블랙매트릭스의 폭을 줄여 상대적으로 개구율의 증대시킴과 아울러 데이터라인 단선시 리페어 기능을 수행할 수 있는 액정표시장치를 제공하는 것

이다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 데이터신호가 공급되는 데이터라인과; 게이트신호가 공급되는 게이트라인과; 액정셀을 구동하기 위한 화소전극과; 게이트신호에 응답하여 화소전극으로의 데이터신호 공급을 절환하기 위한 스위칭소자와; 게이트라인과 화소전극의 중첩부에 의해 마련되어진 제1 스토리지 캐패시터와; 게이트라인으로부터 수직방향으로 신장되어 화소전극과 제2 스토리지 캐패시터를 형성하기 위한 게이트 더미패턴을 구비하는 것을 특징으로 한다.

<24> 본 발명에 따른 액정표시장치는 데이터신호가 공급되는 데이터라인과; 게이트신호가 공급되는 게이트라인과; 액정셀을 구동하기 위한 화소전극과; 게이트신호에 응답하여 화소전극으로의 데이터신호 공급을 절환하기 위한 스위칭소자와; 게이트라인과 화소전극의 중첩부에 의해 마련되어진 제1 스토리지 캐패시터와; 게이트라인과 동일물질로 데이터라인 및 그에 인접한 화소전극의 가장자리부와 중첩되게 형성되어진 게이트 더미패턴을 구비하는 것을 특징으로 한다.

<25> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<26> 이하, 본 발명의 바람직한 실시 예들을 도 4 내지 도 7을 참조하여 상세하게 설명하기로 한다.

<27> 도 4는 본 발명의 제1 실시예에 따른 박막트랜지스터 기판에 대한 평면도가 도시되

어 있다. 도 4의 액정표시장치는 데이터라인(2)과 게이트라인(4)의 교차부에 위치하는 박막트랜지스터(6)와, 박막트랜지스터(6)의 드레인전극(12)에 접속된 화소전극(14)과, 데이터라인(2)과 그에 인접한 화소전극(14)에 중첩되어 형성된 게이트 더미패턴(30)을 구비한다. 박막트랜지스터(6)는 게이트라인(4)에 접속된 게이트전극(10), 데이터라인(2)에 접속된 소오스전극(8), 제1 컨택홀(16)을 통해 화소전극(14)에 접속된 드레인전극(12)과, 게이트전극(10)에 공급되는 게이트전압에 의해 소오스전극(8)과 드레인전극(12)간에 도통채널을 형성하기 위한 반도체층(도시하지 않음)으로 이루어진다. 이러한 박막트랜지스터(6)는 게이트라인(4)으로부터의 게이트신호에 응답하여 데이터라인(2)으로부터의 데이터신호를 선택적으로 화소전극(14)에 공급한다. 화소전극(14)은 데이터라인(2)과 게이트라인(4)에 의해 분할된 셀영역에 위치하며 제1 컨택홀(16)을 경유하여 공급되는 데이터신호에 의해 상부기판에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 박막트랜지스터 기판과 상부기판 사이에 위치하는 액정은 유전이방성에 의해 회전하게 되며 광원으로부터 화소전극(14)을 경유하여 공급되는 광을 상부기판 쪽으로 투과시키게 된다. 화소전극(14)과 이전단의 게이트라인(4) 사이에 형성되는 스토리지 캐패시터(18)는 이전단 게이트라인(4)에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 화소전극(14)에 데이터신호가 공급되는 기간에 충전된 전압을 방전하여 화소전극(14)의 전압변동을 방지하는 역할을 하게 된다. 이 스토리지 캐패시터(18)는 보호막(26)에 형성된 제2 컨택홀(22)을 통해 화소전극(14)과 전기적으로 접속되는 스토리지전극(20)과, 게이트절연층(24)을 사이에 둔 게이트전극(4)에 의해 마련되어진다. 스토리지전극(20)은 데이터라인(2) 및 소스/드레인 전극(8, 12) 형성시 게이트절연층(24) 위에 형성하게 된다. 게이트 더미패턴(30)은 데이터라인(2)과 인접한

화소전극(14)에 중첩되게 형성되어 블랙 매트릭스의 역할을 함과 아울러 데이터라인(2)의 단선시 리페어가 가능하게 한다. 예를 들면, 게이트 더미패턴(30)은 데이터라인(2)의 단선시 레이저 웰딩(Laser welding) 방법 등에 의해 단선된 데이터라인(2)과 전기적으로 접속되게 됨으로써 리페어가 가능하게 한다. 또한, 게이트 더미패턴(30)이 데이터라인(2) 및 화소전극(14)과 0.5~1 μ m 정도 중첩되게 위치하여 데이터라인(2)과 화소전극(14) 사이로 누설되는 빛을 차단하는 블랙매트릭스 역할을 하게 된다. 이렇게, 게이트 더미패턴(30)을 블랙매트릭스로 이용하는 경우 종래의 블랙 매트릭스 보다 화소전극(14)과 중첩되는 면적을 줄일 수 있어 5~6% 정도의 개구율 향상을 기대할 수 있게 된다. 이를 위하여, 게이트 더미패턴(30)은 도 5에 도시된 단면도와 같이 데이터라인(2)의 양측부에 게이트절연층(26)을 사이에 두고 하부기관(24) 상에 형성되어진다. 이 게이트 더미패턴(30)은 게이트라인 및 게이트전극과 동일한 물질(Al, Mo, Ti, W, Cr, Cu)로 형성되게 된다. 이러한 게이트 더미패턴(30)은 데이터라인(2)의 양측부에 모두 형성하거나 데이터라인(2)의 일측부에 형성할 수 있다. 또한, 게이트 더미패턴(30)을 게이트라인(4)과 전기적으로 접속시키는 경우 게이트절연층(26)과 보호막(28)을 사이에 두고 중첩되어진 화소전극(14)과 더불어 스토리지 캐패시터를 형성하는 스토리지 전극으로 이용되어 질 수 있게 된다. 이 경우, 종래의 스토리지 캐패시터(18)에 게이트 더미패턴(30)에 의한 스토리지 캐패시터의 용량값이 부가됨으로써 화소전극(14)의 전압을 보다 안정적으로 유지시킬 수 있게 된다.

<28> 도 6은 본 발명의 제2 실시예에 따른 박막트랜지스터 기판에 대한 평면도를 나타낸 것이다. 도 6의 박막트랜지스터 기판은 도 4에 도시된 박막트랜지스터 기판과 대비하여 게이트 더미패턴(32)이 게이트라인(4)과 전기적으로 접속되어진 것을 제외하고는 동

일한 구성요소들을 구비한다. 게이트 더미패턴(32)은 데이터라인(2)의 양측부에서 데이터라인(2) 및 화소전극(14)과 중첩되게끔 게이트라인(4)으로부터 하부쪽으로 연장되어 형성되어진다. 이러한 게이트 더미패턴(32)은 게이트절연층 및 보호막을 사이에 두고 중첩되는 화소전극(14)과 더불어 제2 스토리지 캐패시터를 형성하게 된다. 이 결과, 기존의 스토리지 캐패시터, 즉 제1 스토리지 캐패시터(18)에 게이트 더미패턴(32)에 의한 제2 스토리지 캐패시터의 용량값이 부가됨으로써 화소전극(14)의 전압은 더욱 안정적으로 유지될 수 있게 된다. 더불어, 게이트 더미패턴(32)은 데이터라인(2)의 단선시 리페어가 가능하게 한다. 데이터라인(2)의 리페어를 위해서는 게이트 더미패턴(32)의 게이트라인(4)과 오픈되어야 한다. 그런데, 게이트라인(4)과 게이트 더미패턴(32)을 레이저를 이용하여 컷팅(Cutting)시키는 경우 게이트 더미패턴(32)과 중첩되어진 데이터라인(2)까지 컷팅되어지게 된다. 이러한 데이터라인(2)의 손상을 방지하기 위하여 도 6에 도시된 바와 같이 게이트라인(4)과 게이트 더미패턴(32)을 단선시키기 위한 컷팅부에서는 게이트 더미패턴(32)이 데이터라인(2)과 중첩되지 않게끔 홈부(32a)가 마련되게 한다. 이에 따라, 데이터라인(2)의 단선시 게이트 더미패턴(32)에 마련되어진 홈부(32a)를 레이저를 이용하여 컷팅하여 게이트라인(4)과 게이트 더미패턴(32)을 전기적으로 단선시킨 후 레이저 웰딩 방법 등을 이용하여 단선된 데이터라인(2)과 게이트 더미패턴(32)을 전기적으로 접속시킴으로써 리페어가 가능하게 된다. 또한, 게이트 더미패턴(32)이 데이터라인(2) 및 화소전극(14)과 0.5~1 μ m 정도 중첩되게 위치하여 데이터라인(2)과 화소전극(14) 사이로 누설되는 빛을 차단하는 블랙매트릭스 역할을 하게 된다. 이렇게, 게이트 더미패턴(30)을 블랙매트릭스로 이용하는 경우 종래의 블랙 매트릭스 보다 화소전극(14)과 중첩되는 면적을 줄일 수 있어 5~6% 정도의 개구율 향상을 기대할

수 있게 된다.

<29> 도 7은 본 발명의 제3 실시예에 따른 박막트랜지스터 기판에 대한 평면도를 나타낸 것이다. 도 7의 박막트랜지스터 기판은 도 4에 도시된 박막트랜지스터 기판과 대비하여 게이트라인(4)과 게이트 더미패턴(30) 사이로 누설되는 빛을 차단하기 위하여 데이터라인(2)에 돌출부(2a)가 형성되어진 것을 제외하고는 동일한 구성요소들을 구비한다. 게이트라인(4)과 동일한 층에 형성되는 게이트 더미패턴(30)은 데이터라인(2)의 양측부에서 데이터라인(2) 및 화소전극(14)과 중첩되게끔 형성되어 데이터라인(2)과 화소전극(14) 사이로 누설되는 빛을 차단하는 블랙매트릭스 역할을 하게 된다. 이 경우, 게이트라인(4)과 게이트 더미패턴(30)이 이격된 부분을 통해 빛이 누설되는 것을 방지하기 위하여 데이터라인(2)은 게이트라인(4) 및 게이트 더미패턴(30)과 중첩되어지는 돌출부(2a)를 더 포함하게 된다. 이렇게, 게이트 더미패턴(30) 및 데이터라인(2)의 돌출부(2a)을 블랙매트릭스로 이용하는 경우 종래의 블랙 매트릭스 보다 화소전극(14)과 중첩되는 면적을 줄일 수 있어 5~6% 정도의 개구율 향상을 기대할 수 있게 된다. 또한, 게이트 더미패턴(30)은 데이터라인(2)의 단선시 리페어가 가능하게 한다. 상세히 하면, 게이트 더미패턴(30)은 데이터라인(2)의 단선시 레이저 웰딩(Laser welding) 방법 등에 의해 단선된 데이터라인(2)과 전기적으로 접속되게 됨으로써 리페어가 가능하게 한다. 더불어, 게이트 더미패턴(30)을 게이트라인(4)과 전기적으로 접속시키는 경우 게이트절연층(26)과 보호막(28)을 사이에 두고 중첩되어진 화소전극(14)과 더불어 스토리지 캐패시터를 형성하는 스토리지 전극으로 이용되어 질 수 있게 된다. 이 경우, 종래의 스토리지 캐패시터(18)에 게이트 더미패턴(30)에 의한 스토리지 캐패시터의 용량값이 부가됨

으로써 화소전극(14)의 전압을 보다 안정적으로 유지시킬 수 있게 된다.

【발명의 효과】

<30> 상술한 바와 같이, 본 발명에 따른 액정표시장치에서는 게이트라인에서 분기되고 화소의 가장자리부와 중첩되는 게이트 더미 패턴이 스토리지 전극의 역할을 함으로써 스토리지 캐패시턴스의 값을 증대시킬 수 있게 된다. 이에 따라, 본 발명에 따른 액정표시장치에서는 게이트 더미패턴을 이용하여 증대되어진 스토리지 캐패시턴스의 값이 공정시 라인패턴들의 미스얼라인먼트에 의한 박막트랜지스터들간의 특성차로 발생하는 화소들간의 평균유지전압(V_{rms}) 차를 보상함으로써 화질을 개선시킬 수 있으므로 대면적화의 기술로 적합하게 된다. 또한, 본 발명에 따른 액정표시장치에서는 게이트라인에서 분기되고 화소의 가장자리부와 중첩되는 게이트 더미 패턴이 블랙매트릭스의 역할을 함으로써 종래의 블랙매트릭스를 이용하는 경우보다 개구율을 증대시킬 수 있게 된다. 더불어, 본 발명에 따른 액정표시장치에서는 게이트라인에서 분기되고 화소의 가장자리부와 중첩되는 게이트 더미 패턴을 이용하여 데이터 단선시 리페어가 가능하게 됨으로써 수율향상의 효과를 얻을 수 있게 된다.

<31> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

데이터신호가 공급되는 데이터라인과, 게이트신호가 공급되는 게이트라인과, 액정 셀을 구동하기 위한 화소전극이 마련된 액정표시장치의 박막트랜지스터 기판에 있어서,

상기 게이트라인으로부터 수직방향으로 신장되도록 형성됨과 아울러, 상기 데이터 라인 및 화소전극에 중첩되게 형성된 게이트 더미패턴을 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 2】

제 1 항에 있어서,

상기 게이트 더미패턴은 상기 데이터라인의 일측부 또는 양측부와 그에 인접한 화소전극의 가장자리부에 중첩되게 형성되어진 것을 특징으로 하는 액정표시장치.

【청구항 3】

제 2 항에 있어서,

상기 게이트 더미패턴은 상기 데이터라인의 단선시 상기 게이트라인과 단선시킨 후 단선된 데이터라인과 전기적으로 접속시키기 위한 리턴던시 전극으로 이용되는 것을 특징으로 하는 액정표시장치.

【청구항 4】

제 3 항에 있어서,

상기 게이트 더미패턴은 상기 게이트라인과 접속되어 리페어가 가능하도록 형성되어진 홈부를 구비하는 것을 특징으로 하는 액정표시장치.

【청구항 5】

제 1 항에 있어서,

상기 게이트 더미패턴은 블랙매트릭스로 이용되는 것을 특징으로 하는 액정표시장치.

【청구항 6】

제 1 항에 있어서,

상기 게이트라인과 화소전극의 수평방향 중첩부에 의해 마련되어진 스토리지 캐패시터를 구비하는 것을 특징으로 하는 액정표시장치.

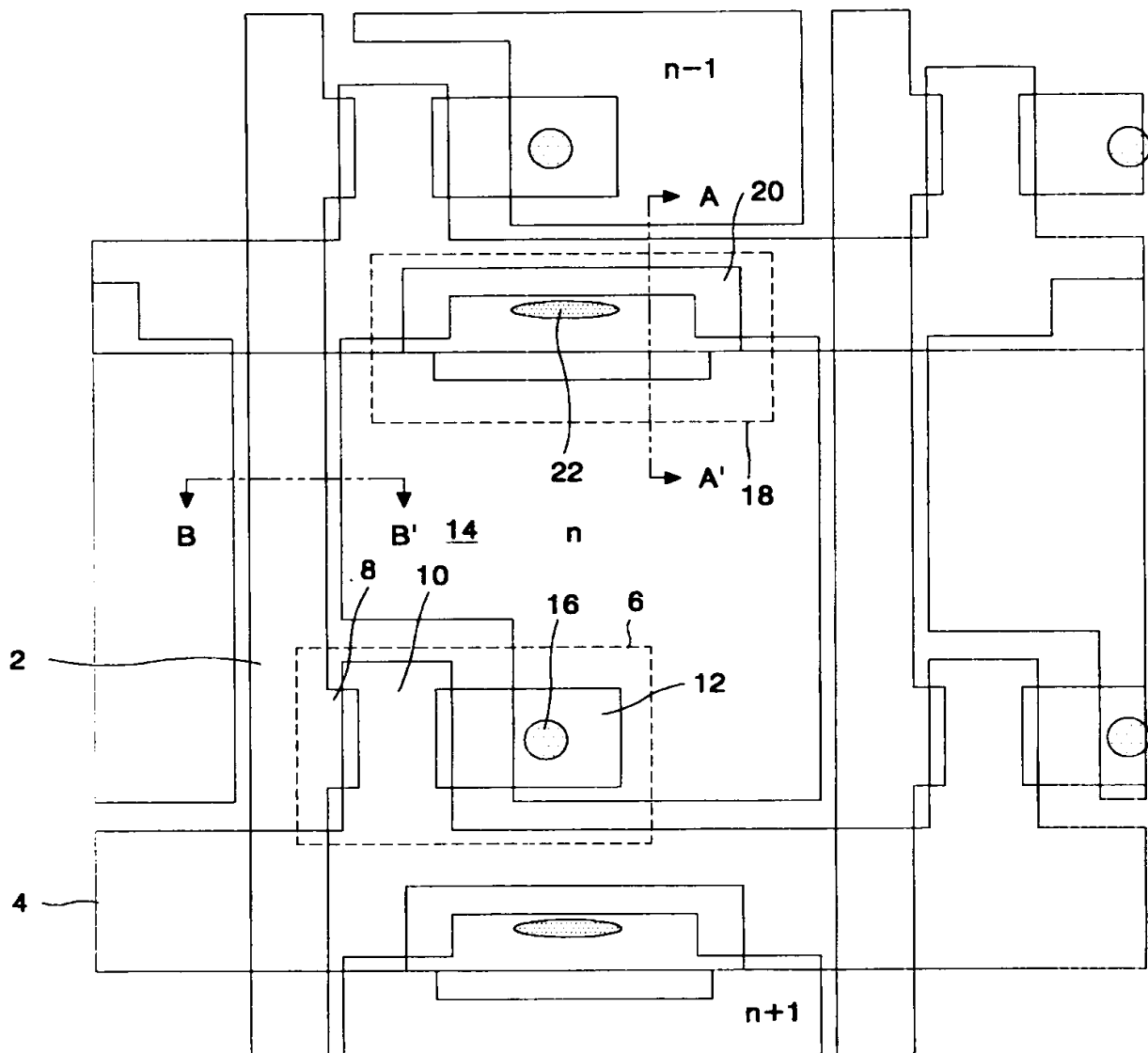
【청구항 7】

제 4 항에 있어서,

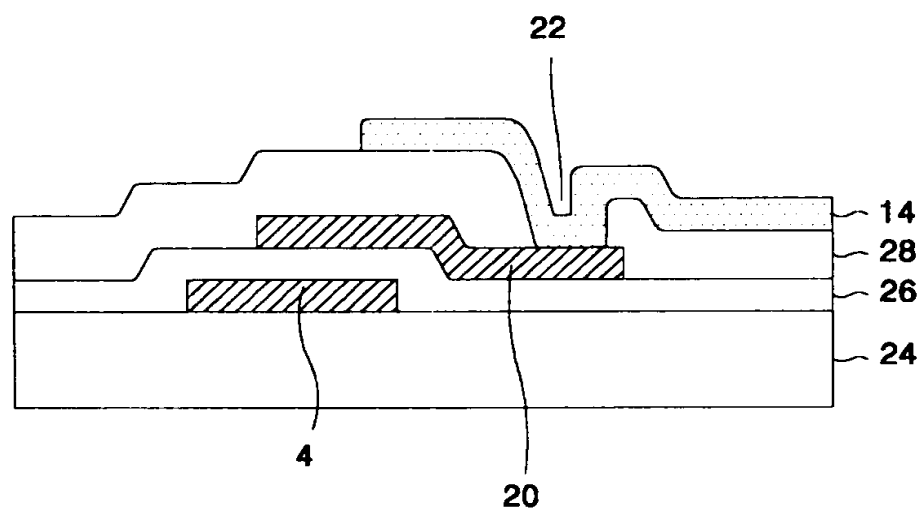
상기 데이터라인은 상기 게이트 더미패턴과 상기 게이트라인 사이로 누설되는 빛을 차단하게끔 상기 홈부와 중첩되게 형성되어진 돌출부를 구비하는 것을 특징으로 하는 액정표시장치.

【도면】

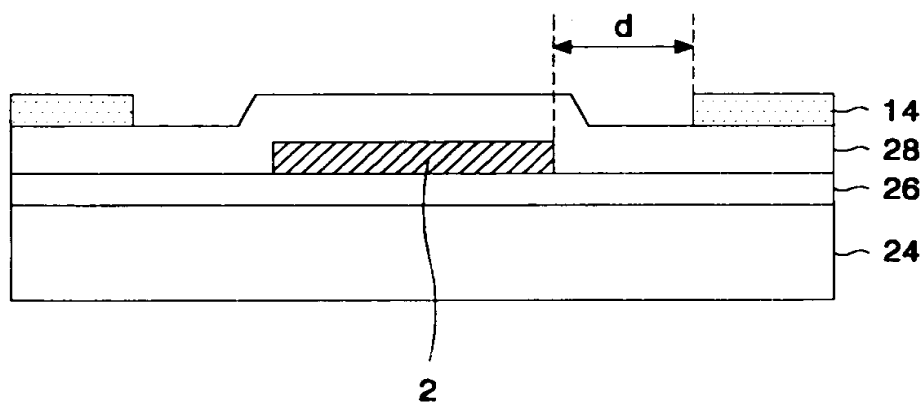
【도 1】



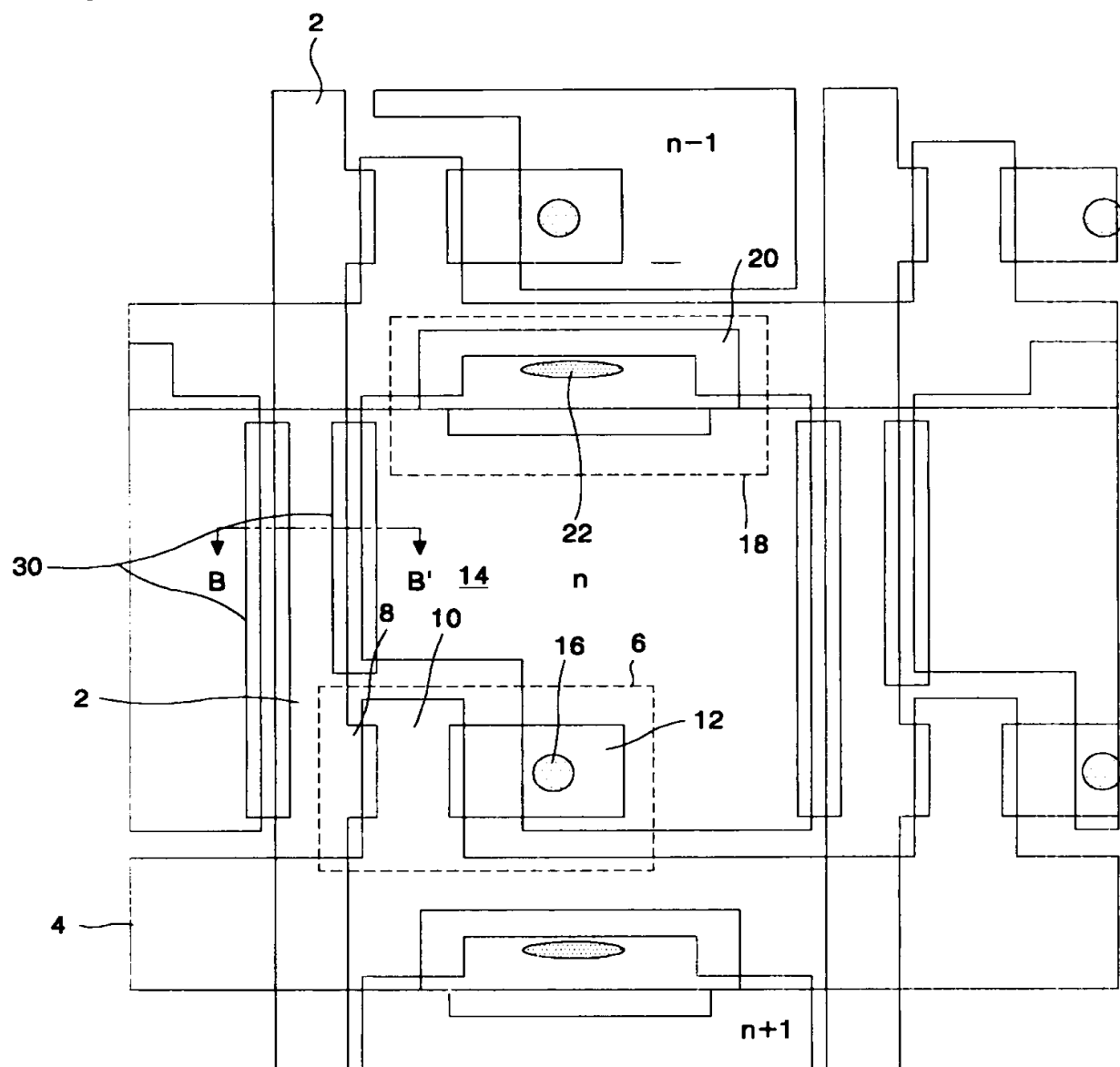
【図 2】



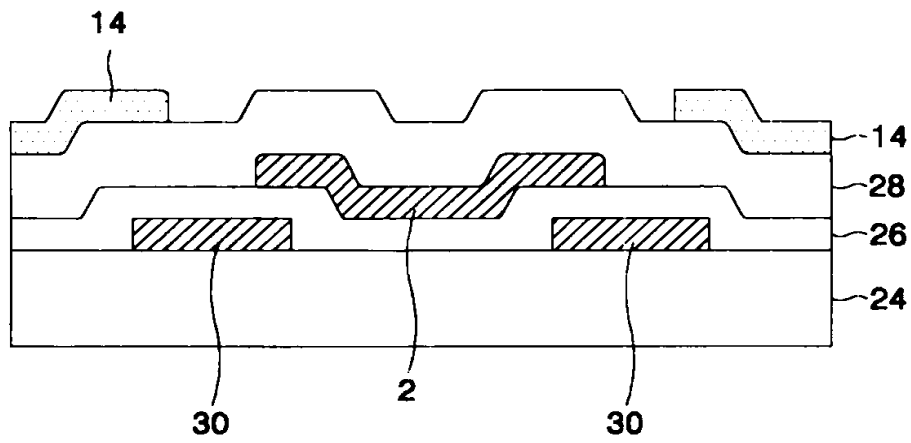
【図 3】



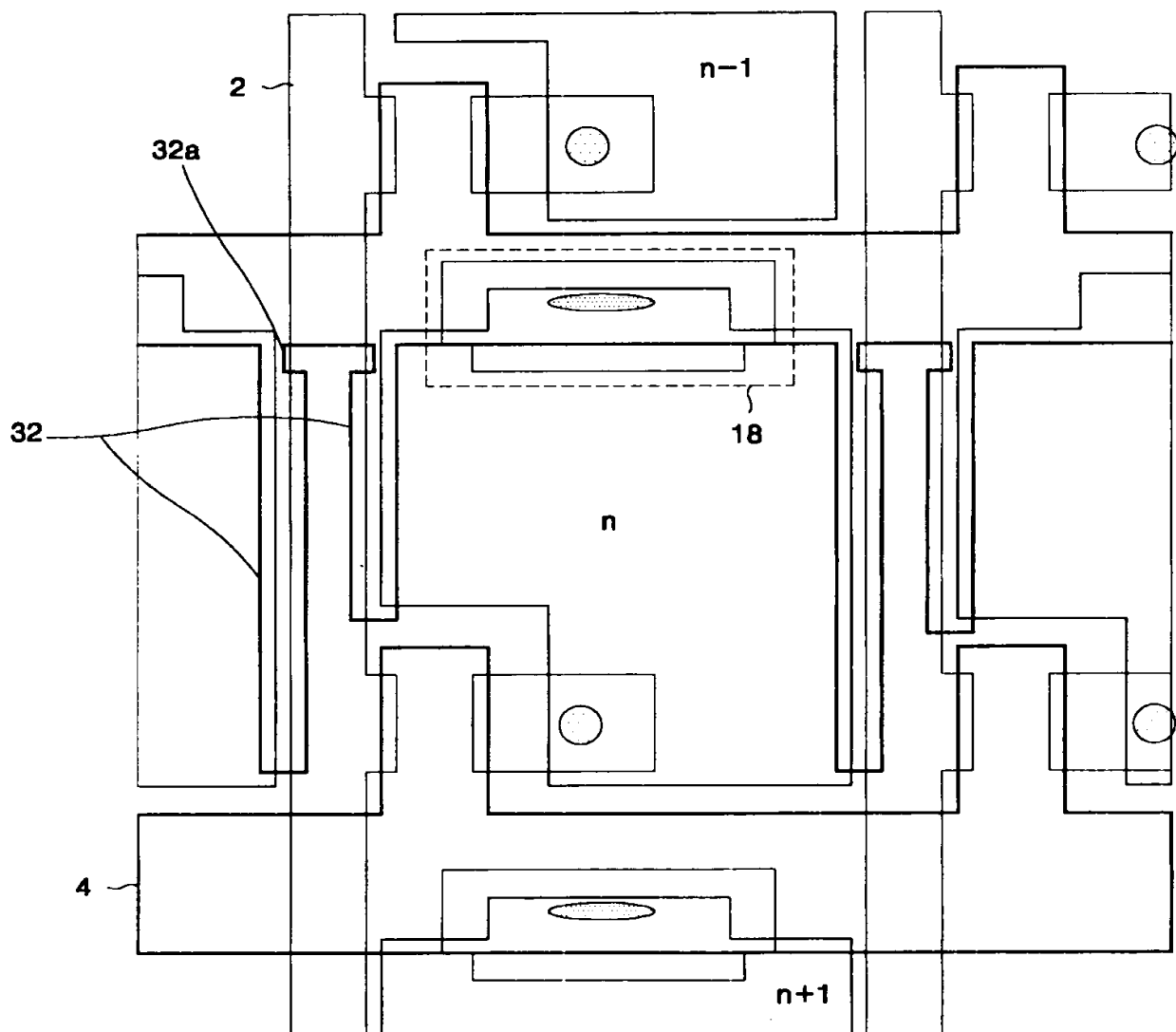
【도 4】



【도 5】



【도 6】



【図 7】

